

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-353232

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.⁹
G 0 6 F 12/08
15/163

識別記号
3 1 0

F I
G 0 6 F 12/08
15/16 3 1 0 B
3 2 0 K

審査請求 有 請求項の数 5 O L (全 5 頁)

(21)出願番号 特願平10-158211
(22)出願日 平成10年(1998)6月5日

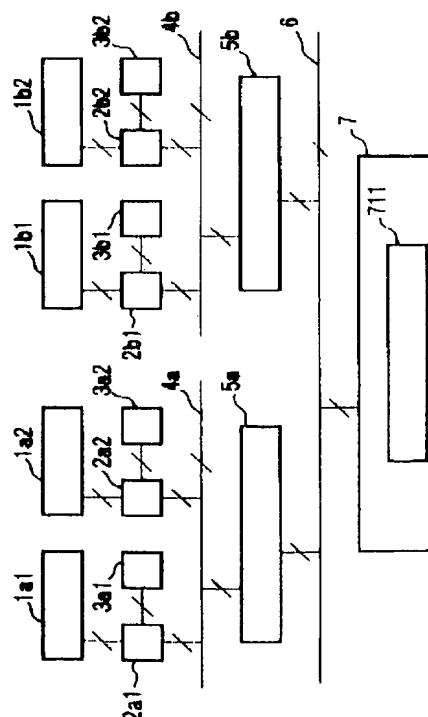
(71)出願人 000242666
北陸日本電気ソフトウェア株式会社
石川県石川郡鶴来町安養寺1番地
(72)発明者 畑 雅之
石川県石川郡鶴来町安養寺1番地 北陸日
本電気ソフトウェア株式会社内
(74)代理人 弁理士 高橋 詔男 (外3名)

(54)【発明の名称】 階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法

(57)【要約】

【課題】 プロセッサのアクセスごとにキャッシュ属性を変更して、キャッシュミスヒット時のオーバーヘッドを軽減し、システム性能の向上を図る。

【解決手段】 バスアクセス制御部2 a 1 がバスロック信号をチェックし、バスロックされていない場合には、キャッシュ3 a 1 に更新データを最新情報保持状態で記録し、一方、バスロックされている場合には、キャッシュ3 a 1 に対して更新データをシェア属性で記録するとともに、記憶装置7のメモリ領域7 1 1 に対してその更新データを記憶する



1a1, 1a2, 1b1, 1b2...プロセッサ、
2a1, 2a2, 2b1, 2b2...バスアクセス制御部、
3a1, 3a2, 3b1, 3b2...キャッシュ、
4a, 4b...プロセッサバス、
5a, 5b...プロセッサバス制御部、
7...記憶装置、711...メモリ領域

【特許請求の範囲】

【請求項 1】 複数のプロセッサがアクセス可能な主記憶装置のメモリ領域に対し、一つのプロセッサがデータの読み込み要求をするとともにバスロック信号を送出し、その読み込み要求を受けて、バスアクセス制御部がキャッシュにキャッシュヒットがないことを確認した上で、自系プロセッサバスの使用権を確保してこれに前記読み込み要求を出し、この読み込み要求を受けて、自系のプロセッサバス制御部が他系と共用されるシステムバスの使用権を確保してこれを通して前記主記憶装置に読み込み要求を出し、この主記憶装置はメモリ領域に最新データが保持されている場合、これをレスポンスとして前記システムバスに返し、このレスポンスを前記プロセッサ制御部、自系プロセッサバスおよび自系バスアクセス制御部を介して受けて、前記プロセッサがデータ内容を更新し、この更新したデータを受けて前記バスアクセス制御部が前記バスロック信号をチェックし、バスロックされていない場合には、前記キャッシュに更新データを最新情報保持状態で記録し、一方、バスロックされている場合には、前記キャッシュに対して前記更新データをシェア属性で記録するとともに、前記記憶装置のメモリ領域に対してその更新データを記憶することを特徴とする階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法。

【請求項 2】 前記プロセッサおよびバスアクセス制御部間に接続されたキャッシュ属性変更制御信号線を通じて、前記バスアクセス制御部がキャッシュ属性変更制御信号または前記バスロック信号を検出したとき、キャッシュ属性を一時変更するようにしたことを特徴とする請求項 1 に記載の階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法。

【請求項 3】 キャッシュ属性変更機能外部制御入力線を通じて外部から前記バスアクセス制御部に入力されるキャッシュ属性変更機能制御信号にもとづき、前記キャッシュ属性変更機能をオン、オフすることを特徴とする請求項 2 に記載の階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法。

【請求項 4】 前記プロセッサのデータ更新の終了後、該プロセッサまたは自系の他のプロセッサが前記メモリ領域に対してバスロック付きまたはバスロックなしでアクセスする場合、あるいは他系プロセッサがバスロックなしでアクセスする場合、自系のキャッシュに応答させるようにしたことを特徴とする請求項 1 ～ 3 のいずれかに記載の階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法。

【請求項 5】 前記プロセッサのデータ更新の終了後、他系のプロセッサが前記メモリ領域に対してバスロック付きでアクセスする場合には、前記主記憶装置から最新データを得ることを特徴とする請求項 1 ～ 3 のいずれかに記載の階層型バス構成マルチプロセッサシステムにお

けるキャッシュ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、メモリアクセスを高速化してシステム性能を向上する階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法に関する。

【0002】

【従来の技術】 従来、大規模マルチプロセッサシステムにおいて、単一バス上に全プロセッサを接続する方式では、システムバスの使用率が上がり過ぎてしまうことでプロセッサを一定個数以上追加しても性能が上がりなくなったり、電氣的な特性を維持できなくなるなどの理由から、バスを階層化して接続プロセッサ数を増やす方法が取られている。

【0003】

【発明が解決しようとする課題】 しかしながら、従来のマルチプロセッサシステムにあつては、単層バスシステムに比べ、メモリアクセスにかかる時間が長くなってしまふ。すなわち、単層バスシステムでは、メモリ領域に対するアクセスは、一つのバス使用権の確保後に、すぐにデータを取得できるのに対し、階層型バスシステムでは、少なくとも二つのバス使用権を確保するまでデータを取得できず、従って、2 ～ 3 倍の時間を要するという課題があつた。また、メモリアクセスの時間を短縮するため、キャッシュの容量を増加させたり、プロセッサバス制御部にもキャッシュを置くことにより、主記憶装置に対するアクセスの回数を減らし、これらによって性能低下分をカバーすることができものの、この場合には、プロセッサ間で共有しない領域に対するアクセスは高速化されるが、プロセッサ間で共有する領域に対するアクセスに対しては、逆に性能を落してしまうという課題があつた。

【0004】 この発明は前記のような課題を解決するものであり、プロセッサのアクセスごとにキャッシュ属性を変更することにより、キャッシュミスヒット時のオーバヘッドを軽減して、システム性能を向上することができる階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法を得ることを目的とする。

【0005】

【課題を解決するための手段】 前記目的達成のため、請求項 1 の発明にかかる階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法は、複数のプロセッサがアクセス可能な主記憶装置のメモリ領域に対し、一つのプロセッサがデータの読み込み要求をするとともにバスロック信号を送出し、その読み込み要求を受けて、バスアクセス制御部がキャッシュにキャッシュヒットがないことを確認した上で、自系プロセッサバスの使用権を確保してこれに前記読み込み要求を出し、この読み込み要求を受けて、自系のプロセッサバス制御部が他

系と共用されるシステムバスの使用権を確保して、これを通して前記主記憶装置に読み込み要求を出し、この主記憶装置はメモリ領域に最新データが保持されている場合、これをレスポンスとして前記システムバスに返し、このレスポンスを前記プロセッサ制御部、自系プロセッサバスおよび自系バスアクセス制御部を介して受けて、前記プロセッサがデータ内容を更新し、この更新したデータを受けて前記バスアクセス制御部が前記バスロック信号をチェックし、バスロックされていない場合には、前記キャッシュに更新データを最新情報保持状態で記録し、一方、バスロックされている場合には、前記キャッシュに対して前記更新データをシェア属性で記録するとともに、前記記憶装置のメモリ領域に対してその更新データを記憶するようにしたものである。

【0006】また、請求項2階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法は、前記プロセッサおよびバスアクセス制御部間に接続されたキャッシュ属性変更制御信号線を通じて、前記バスアクセス制御部がキャッシュ属性変更制御信号または前記バスロック信号を検出したとき、キャッシュ属性を一時変更するようにしたものである。

【0007】また、請求項3の発明にかかる階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法は、キャッシュ属性変更機能外部制御入力線を通じて外部から前記バスアクセス制御部に入力されるキャッシュ属性変更機能制御信号にもとづき、前記キャッシュ属性変更機能をオン、オフするようにしたものである。

【0008】また、請求項4の発明にかかる階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法は、前記プロセッサのデータ更新の終了後、該プロセッサまたは自系の他のプロセッサが前記メモリ領域に対してバスロック付きまたはバスロックなしでアクセスする場合、あるいは他系プロセッサがバスロックなしでアクセスする場合、自系のキャッシュに応答させるようにしたものである。

【0009】また、請求項5の発明にかかる階層型バス構成マルチプロセッサシステムにおけるキャッシュ制御方法は、前記プロセッサのデータ更新の終了後、他系のプロセッサが前記メモリ領域に対してバスロック付きでアクセスする場合には、前記主記憶装置から最新データを得るようにしたものである。

【0010】

【発明の実施の形態】以下、この発明の実施の一形態を図について説明する。図1は、階層型バス構成のマルチプロセッサシステムを示すシステム構成図であり、バスアクセス制御部2a1は、プロセッサ1a1、キャッシュ3a1およびプロセッサバス4aに対しバス接続されており、プロセッサ1a1からの各種要求を受けつけ、キャッシュ3a1からのデータの読み書きや、プロセッサバス4aへの要求や、データの入出力を制御してい

る。また、そのプロセッサバス4aには、複数のバスアクセス制御部2a1、2a2と、プロセッサバス制御部5aとが接続されており、バスアクセス制御部2a1、2a2間や、バスアクセス制御部2a1、2a2およびプロセッサバス制御部5a間の要求やデータの授受を行うのに利用される。

【0011】そして、プロセッサバス制御部5aは、プロセッサバス4a上の要求を監視し、このプロセッサバス4aとともに階層バス構成とされるシステムバス6に要求を出す必要がある場合、システムバス6に要求を出したり、システムバス6上の要求を監視し、自系プロセッサバス4aに要求を出す必要がある場合、自系プロセッサバス4aに要求を出したりする。前記システムバス6には、複数のプロセッサバス制御部5a、5bと、主記憶装置7とが接続されており、プロセッサバス制御部5a、5b間や、プロセッサバス制御部5a、5bおよび主記憶装置7間のデータの授受を行うのに利用される。また、当然のことながら、システムバス6には、その他の入出力機器が直接あるいは間接的に接続されているが、ここでは、この発明に直接関係しない機器に関する記載は特別行わないものとする。

【0012】なお、この発明の実施の一形態では、説明を簡単にするために、プロセッサバス4a、4b上のプロセッサ数およびシステムバス上のプロセッサバス制御部5a、5b数を二つとし、またバスの階層を、プロセッサバス4a、4bおよびシステムバス6の2階層としているが、それ以上の数あるいは階層数とすることも任意である。

【0013】また、前記同様に、バスアクセス制御部2a2はプロセッサ1a2、キャッシュ3a2およびプロセッサバス4aに対してそれぞれバス接続され、バスアクセス制御部2b1、2b2はそれぞれプロセッサ1b1、1b2、キャッシュ3b1、3b2およびプロセッサバス4bに対してそれぞれバス接続されている。そして、各プロセッサバス制御部5a、5bはそれぞれプロセッサバス4a、4bおよびシステムバス6に接続されている。711は主記憶装置のメモリ領域である。

【0014】次に動作を説明する。通常、キャッシュの効果을最大限に利用するため、プロセッサに対応したキャッシュには、ライトバック方式あるいはこれに類する方式が取られる。メモリ領域711の内容を更新する場合について説明すると、例えばプロセッサ1a1は、メモリ領域711のデータを読み込むために、バスアクセス制御部2a1に読み込み要求を出す。この時、プロセッサ1a1は、必要に応じてバスロック信号を同時に送出する。以降、バスロック信号は、このデータ更新処理が終了するまで、関連するバスに送出され続ける。バスアクセス制御部2a1は、キャッシュ3a1にキャッシュヒットしないことを確認すると、自系バス4aの使用権を確保し、メモリ領域711のデータ読み込み要求を

10

20

30

40

50

出す。

【0015】このため、自系プロセッサバス制御部 5 a は、自系の他のプロセッサによるメモリ領域 7 1 1 の最新データの読み出し要求がないことを判断すると、システムバス 6 の使用权を確保し、同じくメモリ領域 7 1 1 のデータ読み込み要求を出す。主記憶装置 7 は、メモリ領域 7 1 1 に最新データが保持されている場合、メモリ領域 7 1 1 のデータをレスポンスとしてシステムバス 6 に返す。自系プロセッサバス制御部 5 a は前記レスポンスを受け、プロセッサバス 4 a にレスポンスを返す。自系バスアクセス制御部 2 a 1 は、前記レスポンスをプロセッサバス 4 a から受け、プロセッサ 1 a 1 にレスポンスを返す。

【0016】従って、プロセッサ 1 a 1 は、前記レスポンスを受け取り、データ内容を更新し、更新した情報をバスアクセス制御部 2 a 1 に渡す。バスアクセス制御部 2 a 1 は、バスロック信号をチェックし、バスロックされていない場合、従来同様キャッシュ 3 a 1 に最新情報保持の状態で記録する。バスロックされている場合には、バスアクセス制御部 2 a 1 は、キャッシュ 3 a 1 に対して、更新データをシェア属性で記録すると共に、プロセッサバス 4 a に対しても、更新データをシェア属性で送出し、主記憶装置 7 にも最新の更新データを記憶させる。プロセッサ 1 a 1 は、データ更新が終わったことを検出するとバスロック信号の送出を止め、一つの処理が終了する。

【0017】その後、同一のプロセッサ 1 a 1 あるいは、自系の他のプロセッサ 1 a 2 等がメモリ領域 7 1 1 に対してバスロック付きまたはバスロックなしでアクセスする場合および他系プロセッサがバスロックなしでアクセスする場合、自系キャッシュ 3 a 1 が応答するため、従来と全く同じ時間で応答可能となる。また、他系プロセッサ、例えば、プロセッサ 1 b 1 が当該メモリ領域 7 1 1 に対してバスロック付きで更新を行おうとした場合、従来のシステムでは、最新データをキャッシュ 3 a 1 のみが保持しているため、データ更新のために、プロセッサバス 4 b、システムバス 6、プロセッサバス 4 a の三つのバスアクセス権を確保して、キャッシュ 3 a 1 からデータを引き取らなければならなかったが、この実施の形態においては、主記憶装置 7 から最新データを入手できるため、プロセッサバス 4 a に対するアクセス権確保のためのオーバーヘッドを防ぐことが可能となる。

【0018】なお、前記実施の形態においては、説明を簡単にするためプロセッサバス制御部 5 a、5 b は単純なバスブリッジとして記載されているが、プロセッサバス制御部 5 a、5 b にキャッシュを備えたシステムとしても、前記同様の効果が得られる。

【0019】図 2 は、図 1 のプロセッサ 1 a 1、バスアクセス制御部 2 a 1 およびキャッシュ 3 a 1 の部分のみを抽出したもので、これが図 1 に示したものと異なると

ころは、プロセッサ 1 a 1 からバスアクセス制御部 2 a 1 にキャッシュ属性変更制御信号線 8 a 1 を接続し、バスアクセス制御部 2 a 1 が、キャッシュ属性変更制御信号線 8 a 1 のキャッシュ属性変更制御信号あるいは、バスロック信号を検出してキャッシュ属性を一時変更する機能を持たせたものを示す。

【0020】この場合は、バスロック付きではないが、次に他のプロセッサによりアクセスされることが明らかな処理の場合に、その処理に先立つてキャッシュ属性一時変更命令を実行することにより、キャッシュ属性変更制御信号線 8 a 1 を使ってキャッシュ属性変更制御信号を送出し、バスアクセス制御部 2 a 1 が、バスロック信号または、キャッシュ属性変更制御信号を検出した場合に、前記実施の形態と同様にキャッシュ属性を変更するようにする。これにより、次にメモリ領域 7 1 1 に他のプロセッサがアクセスした時のオーバーヘッドを減少させることができる。

【0021】図 3 および図 4 は、この発明の実施の他の形態を示す。これはキャッシュ属性変更機能制御信号を受けるキャッシュ属性変更機能外部制御入力線 9 a 1 を有し、外部入力により前記キャッシュ属性変更機能をオン／オフするようにしたものである。図 2 では、バスロック付き命令あるいは、キャッシュ属性一時変更命令を先行した命令の場合に、無条件にバスへのデータ送出を行っていた。ところが、システムのスケラビリティを大きくするには、単一階層のシングルプロセッサ構成から、階層構造の大規模マルチプロセッサ構成にまで簡単に対応できる方がより好ましい。このため、キャッシュ属性変更機能制御入力信号線 9 a 1 からのキャッシュ属性変更機能制御入力信号が外部から入力された場合のみ、キャッシュ属性変更機能が有効になるようにしている。

【0022】

【発明の効果】以上のように、この発明によれば複数のプロセッサが同一のメモリ領域にアクセスする場合にのみキャッシュ属性を変更するようにしたので、階層型バス構成のマルチプロセッサシステムにおいて発生するキャッシュミスヒット時のオーバーヘッドを軽減でき、これによりバスロック時間を低減でき、システム性能の向上を図ることができるという効果が得られる。

【図面の簡単な説明】

【図 1】 この発明の実施の一形態によるキャッシュ制御方法を実行する階層型バスマルチプロセッサシステムを示すブロック図である。

【図 2】 この発明においてキャッシュ属性一時変更命令を実行する回路要部を示すブロック図である。

【図 3】 この発明においてキャッシュ属性変更機能外部制御を実行する回路要部を示すブロック図である。

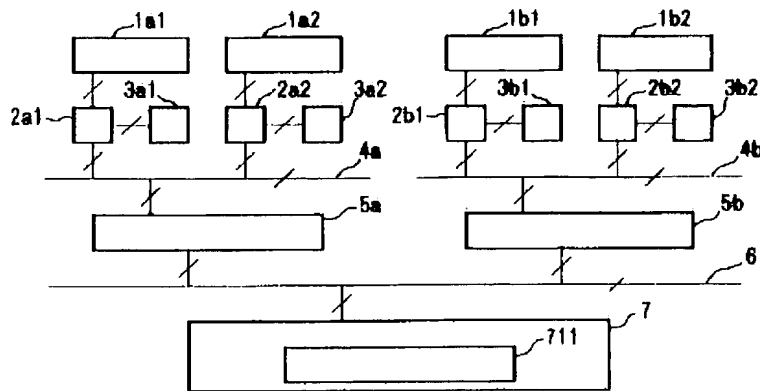
【図 4】 この発明においてキャッシュ属性変更機能外部制御を実行する回路要部を示すブロック図である。

【符号の説明】

1 a 1, 1 a 2, 1 b 1, 1 b 2 プロセッサ
 2 a 1, 2 a 2, 2 b 1, 2 b 2 バスアクセス制御部
 3 a 1, 3 a 2, 3 b 1, 3 b 2 キャッシュ
 4 a, 4 b プロセッサバス

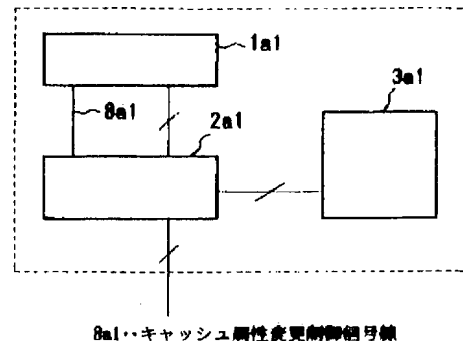
5 a, 5 b プロセッサバス制御部
 6 システムバス
 7 主記憶装置
 7 1 1 メモリ領域

【図 1】



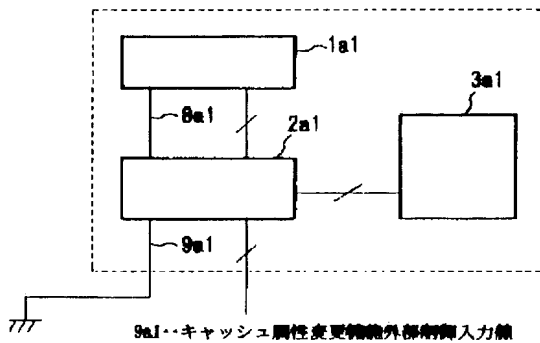
1a1, 1a2, 1b1, 1b2...プロセッサ、
 2a1, 2a2, 2b1, 2b2...バスアクセス制御部、
 3a1, 3a2, 3b1, 3b2...キャッシュ、 4a, 4b...プロセッサバス、
 5a, 5b...プロセッサバス制御部、 6...システムバス、
 7...主記憶装置、 711...メモリ領域

【図 2】



8a1...キャッシュ属性変更制御信号線

【図 3】



9a1...キャッシュ属性変更制御外部制御入力線

【図 4】

